

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326929

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-112739

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.05.1993

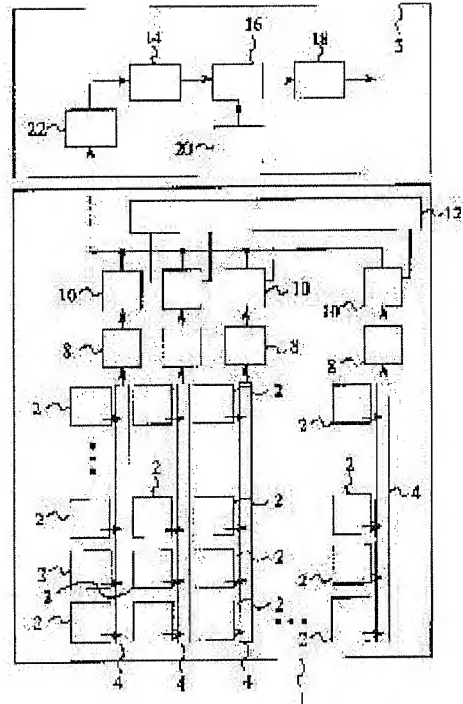
(72)Inventor : HATAE HIROSHI  
ANDO HARUHISA  
AKIMOTO HAJIME  
KIMURA KATSUTAKA

## (54) PICTURE INPUT DEVICE

### (57)Abstract:

PURPOSE: To compensate the dispersion of gain by logarithmically transforming a picture signal inputted from an amplifying means, inputting the converted signal to a subtracting means, also inputting a corresponding compensation coefficient for the amplifier means to the subtracting means and subtracting the compensation coefficient from the picture signal.

CONSTITUTION: Picture input signals from respective output amplifiers are inputted to an A/D conversion means 22 while synchronizing them with respective signal output clocks. When a signal D1 outputted from the 1st amplifier means e.g. is inputted to the means 22, the signal is delayed only by time to be required for A/D conversion and the delayed signal is outputted from the means 22. When an output signal from the means 22 is inputted to a logarithmic conversion means 14, the signal is delayed only by time to be required for logarithmic transformation, the delayed signal is inputted to the subtracting means 16, a compensation coefficient logC1 corresponding to the signal D1 is outputted from a compensation coefficient storing means 20 and also inputted to the means 16. Thus the logarithmic log (D1/C1) of a compensated result is outputted from the means 16, a compensated result D1/C1 is obtained by a reverse logarithmic transformation means 18 and stored in the means 20 as a compensation coefficient.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326929

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

P

序内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願平5-112739

(22) 出願日 平成5年(1993)5月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 波多江 博

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 安藤 治久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 秋元 肇

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 画像入力装置

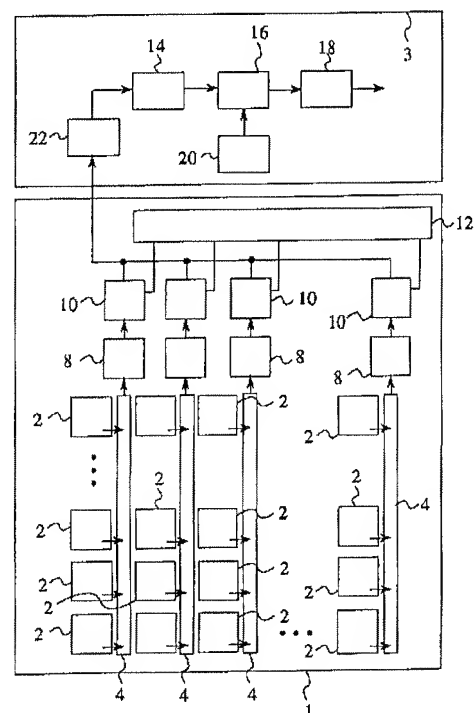
(57) 【要約】

【目的】複数の増幅手段を持っている固体撮像素子を用いた画像入力装置において、各々の増幅手段の増幅率のばらつきを精度良く、簡単に補償できる画像入力装置を提供する。

【構成】固体撮像装置に対数変換手段、減算手段、補償係数記憶手段を設ける。

【効果】精度の良い増幅率のばらつき補償ができる。また、一様電荷入力手段とデータを保持するための手段を設けた場合、補償係数を自己生成することが可能になる。

図1



## 【特許請求の範囲】

【請求項1】光電変換手段により生成した信号を複数の増幅手段で検出する画像入力装置において、増幅手段からの信号を対数に変換するための対数変換手段、対数変換手段からの2つの信号、あるいは対数変換手段からの信号と補償係数記憶手段からの信号を差し引くための減算手段、増幅手段のばらつきを補償するための係数を記憶する補償係数記憶手段、減算手段における計算結果を逆対数変換するための逆変換手段を設けることを特徴とする画像入力装置。

【請求項2】対数変換手段の前に増幅手段からのアナログ信号をデジタル信号に変換するためのA/D変換手段を設けた請求項1に記載の画像入力装置。

【請求項3】A/D変換手段、減算手段、逆変換手段の後の少なくとも一箇所に、前段の出力信号を保持するためのデータ保持手段を設けた請求項1に記載の画像入力装置。

【請求項4】同一の増幅手段から出力された2種類の信号を蓄える第1、第2のデータ保持手段と、画像入力装置における遮光された部分のCCDレジスタ部に一様電荷入力手段を設けた請求項1に記載の画像入力装置。

【請求項5】補償係数記憶手段をシフトレジスタで構成した請求項4に記載の画像入力装置。

【請求項6】電源投入時、あるいは動作中の任意の時刻に補償係数記憶手段に補償係数を記憶させる手段を設けた請求項4に記載の画像入力装置。

【請求項7】A/D変換手段と対数変換手段との間に、同一増幅手段より出力された2つの信号の差をとるための第二の減算手段と第二の減算手段の出力信号を記憶するための第二の補償係数記憶手段を設けた請求項1に記載の画像入力装置。

【請求項8】減算手段の後に、減算手段の出力を保持するための第3、第4のデータ保持手段、第3、第4のデータ保持手段の差をとるための第2の減算手段を設けた請求項4に記載の画像入力装置。

【請求項9】光電変換手段により生成した信号を複数の増幅手段で検出する画像入力装置において、複数の増幅器のそれぞれに、少なくとも2つの共通な信号を入力するための手段を設けたことを特徴とする画像入力装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数の増幅手段を用いて信号電荷を増幅する固体撮像素子を用いた画像入力装置に関する。

## 【0002】

【従来の技術】固体撮像素子では、ホトダイオードなどの光電変換手段で生成した電荷を増幅手段を介して読み出す。この時、増幅手段における読み出し周波数が高いほど雑音は大きくなる。そのため、増幅手段における読み出し周波数を下げるために、画素ごとあるいは列ごと

に増幅手段を持つ構成が提案されている。しかし、このような構成では増幅手段の増幅率のばらつきが問題となる。これらのばらつきを抑圧する方法として、画素信号から暗時の信号を差し引きオフセットのばらつきを除去する方式が提案されている（特開昭63-76583号）。

## 【0003】

【発明が解決しようとする課題】しかし、画素信号から暗時の信号を差し引く方法では、個々の増幅手段のオフセットのばらつきについては抑圧できるが、利得ばらつきを補償することはできない。それは、利得ばらつきを補償するために必要な除算手段を簡単に構成することが難しいためである。また、各増幅手段の増幅率のばらつきを補償するための係数を求めることも難しいためである。

## 【0004】

【課題を解決するための手段】除算の構成については、対数変換と減算を組み合わせる方法が知られている。そこで、固体撮像装置に対数変換手段と減算手段を設けて、利得ばらつきを補償する。その際、補償係数を記憶するための補償係数記憶手段を設け、各増幅手段の増幅率のばらつきを対数値で記憶する。そして、各画素信号の対数変換値と補償係数記憶手段に記憶されている対応する補償係数を減算手段に入力する。

【0005】また、補償係数を自己生成する場合、明時に相当する画素信号を得るために一様電荷入力手段を設け、またデータを保持するための手段を設ける。暗時の信号は遮光部の画素信号から得られるため、これにより固体撮像素子内部の制御だけで、補償係数の計算に必要な暗時の信号と明時の信号を得ることができる。

## 【0006】

【作用】この構成において、増幅手段より出力された画素の信号を対数変換手段により対数変換し減算手段に入力する。また、補償係数記憶手段より対応する増幅手段の補償係数を減算手段に入力する。そして、画素の信号から補償係数を差し引く。この結果を逆変換すれば、画素信号を補償係数で除算した結果が得られ、利得ばらつきを補償することができる。

【0007】また、一様電荷入力手段とデータを保持するための手段を設けた場合は、画像信号を出力する通常動作に入る前に、一様電荷入力手段により得た明時の信号と暗時の信号をデータを保持するための手段に蓄え、2つの信号より増幅手段の増幅率を計算する。そして、その結果を用いて、補償係数を計算し通常動作時における補償データとする。これにより、補償係数の自己生成が可能となる。

## 【0008】

## 【実施例】実施例1

図1は、本発明を各垂直CCDレジスタ毎に増幅手段を備えた固体撮像素子に適用した場合を示している。ここで、1は固体撮像装置、2はホトダイオード、3は外部

補償回路、4は垂直CCDレジスタ、8は出力増幅器、10は列選択手段、12は水平走査回路、14は対数変換手段、16は減算手段、18は対数の逆変換手段、20は補償係数記憶手段、22はAD変換手段である。本実施例では、各出力増幅器の利得ばらつきを補償係数記憶手段20にあらかじめ記憶してある補償係数を用いて、対数変換と減算の組み合わせで補償することに特徴がある。

【0009】次に、全体の動作を図2を用いて説明する。AD変換手段22には、各出力増幅器より出力された画素信号が、信号出力クロックに同期して入力される。例えば、1番目の増幅手段より出力された信号D1がAD変換手段22に入力された場合、AD変換に要する時間だけ遅れて、AD変換手段22の出力に現れる。次に、対数変換手段14に入力され、対数変換に要する時間だけ遅れて対数変換手段14の出力に $\log D1$ が出力され、減算手段16に入力される。この時、補償係数記憶手段20からあらかじめ記憶されている複数の補償係数の中から、画素信号D1に対応する補償係数 $\log C1$ が出力され、減算手段16に入力される。この結果、減算手段16からは補償結果の対数変換値 $\log(D1/C1)$ が出力され、対数の逆変換手段18により補償結果 $D1/C1$ が得られる。ここで、補償係数は固体撮像素子に一樣光を当てたときの出力信号と例えば機械式シャッタなどで遮光した場合の信号の2つの信号を用いて求めることができる。この2つの信号で各増幅手段の増幅率を計算し、計算された増幅率よりばらつきの割合を求める。これを対数変換した値を補償係数として、補償係数記憶手段20に記憶する。

【0010】次に図3にAD変換を8ビットで行った場合について、具体的構成を示す。増幅手段から出力されたアナログ信号は、ADコンバータによりデジタル信号に変換されROM1(Read Only Memory)のアドレスバスに入力される。ROM1の各アドレスには、そのアドレスを対数変換前の値とする対数変換後の値が記憶されている。よって、ROM1のデータバスからは対数変換後の値が出力されALU(Arithmetic Logic Unit)に入力される。一方、ROM2のデータバスからは、対応する補償係数がALUに入力される。ROM2において対応する補償係数を出力するため、ROM2のアドレスバスをカウンタを用いて制御する。カウンタのクロックには画素信号の出力クロックを入力し、RESETには水平同期信号を入力する。よって、1ライン分の画素信号が出力されるとアドレスバスはリセットされ、画素信号が増幅手段より出力されるたびにアドレスバスの値は1つ増える。従って、1ライン分の増幅手段の補償係数に対応するアドレスに記憶させることにより、ALUに適切な補償係数を入力することが可能となる。ALUでは、ROM1の出力データからROM2の出力データを差し引く演算が実行される。このALUには、例えばTTL

ICの74381で用いられているロジックを使用すれば、実現可能である。そして、ALUの出力データはROM3のアドレスバスに入力される。ROM3には、ROM1と同様な方法で対数変換値を逆変換するためのテーブルが記憶されている。よって、ROM3のデータバスより補償結果を得ることができる。

【0011】本実施例では、対数変換手段14と減算手段16と補償係数記憶手段20を組み合わせることにより、除算を用いた精度の良い利得ばらつき補償が可能となる。

【0012】以上の説明は、対数の逆変換手段18を設けた場合について説明したが、減算手段16の出力を出力信号としてもよい。この場合、出力が対数値となっているため、人間の視覚特性に合った出力を得ることができる。

【0013】本実施例においては、画素信号をAD変換をしてデジタル信号で利得補償する場合を示したが、AD変換手段22を用いずに、アナログの対数変換手段、減算手段、補償係数記憶手段を用いても可能である。この場合、簡単な構成により補償回路を実現することができる。

【0014】また、本実施例はCCD型撮像素子を用いて説明したが、MOS型撮像素子に適用しても良い。

【0015】実施例2

次に、本発明の他の実施例を図4を用いて説明する。本実施例は、一樣電荷入力手段6、1番目のレジスタ24、2番目のレジスタ26を設けていることに特徴がある。これにより、補償係数を外部補償回路3a内で計算し補償係数記憶手段20に記憶することが可能になる。ここで、3aは外部補償回路、6は一樣電荷入力手段、7は遮光膜、24は1番目のレジスタ、26は2番目のレジスタであり、その他は図1と同じである。

【0016】次に、全体の動作を説明する。ここで、ホトダイオード2に書かれている(1,1)という表示は、そのホトダイオードが1行1列目に位置していることを示す。また、垂直CCDレジスタ4内には、ホトダイオード2から一斉に信号が読み出された時点における各ポテンシャル井戸の内容が示してある。例えば、 $D(n, 1)$ はn行1列目のホトダイオードから読み出された信号を表す。また、本実施例において、2行目の信号は暗時の信号として用いるため $Dd1 \sim Ddn$ 、1行目の信号は明時の信号として用いるため $Dw1 \sim Dwn$ で表している。本実施例では、各々の増幅手段の電圧増幅率を得るための動作、補償係数を記憶する動作、画素信号を補償する動作がある。

【0017】まず、電圧増幅率を得るための動作を図4、図5を用いて説明する。この動作は、例えば電源投入時に行われる。まず、各ホトダイオード2の信号は、垂直CCDレジスタ4に入力される。次に、一樣電荷入力手段6から1行目の画素信号を蓄積している各ポテン

10

20

30

40

50

シャル井戸に、一様な電荷が入力される。その結果、2行目の各ポテンシャル井戸には、ホトダイオード2が遮光膜7で覆われているため、暗時の信号が蓄積されている。また、1行目の各ポテンシャル井戸には、一様電荷入力手段6から入力された電荷のため、明時に相当する信号が蓄積されている。その後、垂直CCDレジスタ4において1段電荷を転送し、列選択手段10を切り替える。

【0018】この垂直CCDレジスタ4の転送動作を繰り返し、1列目の増幅手段の補償係数を得たい場合は、2行1列目の画素信号Dd1がAD変換手段22に入力されている時に、対数変換手段14で対数に変換された値を1番目のレジスタ24に保持する。さらに、1行1列目の画素信号(1, 1)がAD変換手段22に入力されている時に、対数変換手段14で対数に変換された値を2番目のレジスタ26に保持する。その結果、1番目のレジスタ24には1列目の増幅手段により増幅された暗時の信号logDd1、2番目のレジスタ26には1列目の増幅手段により増幅された明時の信号logDw1が保持されている。よって減算手段16の出力より、 $\log D w 1 - \log D d 1$ 、つまり $\log(D w 1 / D d 1)$ が計算される。この計算値は1列目の電圧増幅率Av1の対数変換値logAv1である。そして、この値を補償係数記憶手段20に記憶する。これにより、1列目の増幅手段の増幅率が得られる。後は、この動作を増幅手段の数だけ繰り返すことにより、全ての増幅手段の増幅率を得ることができる。

【0019】次に、補償係数を記憶する動作を図6を用いて説明する。例えばn列目の電圧増幅率を基準にして補償を行う場合、まず補償係数記憶手段20より基準とするn列目の電圧増幅率の対数変換値logAvnを1番目のレジスタ24に入力する。次に、補償係数記憶手段20より2番目のレジスタ26に1列目の電圧増幅率の対数変換値logAv1を入力する。すると、減算手段16には $\log A v 1 - \log A v n$ 、つまり $\log(A v 1 / A v n)$ が計算される。これを、補償係数記憶手段20に1列目の増幅手段に対する補償係数logC1として記憶する。これを、増幅手段の数だけ行い、全ての列に対する補償係数の記憶を完了する。

【0020】本実施例では補償係数の記憶完了後、画素信号を補償する動作を開始する。この動作を図7を用いて説明する。まず、1列目の画素信号D1が出力された場合、AD変換手段22によりAD変換され、対数変換手段14で対数に変換され2番目のレジスタ26に保持される。この時、補償係数記憶手段20から1列目の増幅手段に対する補償係数logC1を読み出し、1番目のレジスタ24に入力する。すると、減算手段16には $\log D 1 - \log C 1$ 、つまり $\log(D 1 / C 1)$ が計算される。よって、これを逆変換手段18を通せば、補償結果 $D 1 / C 1$ を得ることができる。同様に、2列目の

画素に対しては、補償係数記憶手段20から2列目の増幅手段に対する補償係数logC2を読み出し、補償を行う。この結果、任意のn列目の増幅手段の電圧増幅率を基準にして、ばらつきを補償することができる。

【0021】ここで、一様電荷入力手段6の具体的構成と動作について、図8に示す。図8には、上部に構成図、下部に各時刻におけるポテンシャル図を示している。ここで、101は埋め込みチャンネル用n型層、102はp型のウェル、103はn型半導体基板、104は電荷注入用n型層、110、111、112は垂直CCDレジスタ電極、113は電荷入力電極である。この構成において、電極112の下のパテンシャル井戸に一様電荷を注入する場合について、説明する。時刻t1は、一様電荷を注入する前のポテンシャル図を表している。この状態では、電荷入力電極113をローレベルにして電荷注入用n型層104から電極112の下のパテンシャル井戸電荷が注入されるのを防いでいる。次に時刻t2において、電荷入力電極113をハイレベルにして電極112の下のパテンシャル井戸電荷に電荷を注入する。そして時刻t3において、電荷入力電極113を再びローレベルにすると、電極112の下のパテンシャル井戸には電荷注入用n型層104で設定されたレベルの電荷が残る。これにより、一様電荷の入力が完了する。

【0022】また、図9に外部補償回路の具体的構成図を示す。まず、補償係数を記憶する場合は、データセクタ1、2を入力Bの状態にして、次の様な動作を行う。暗時の信号がADコンバータによりデジタル信号に変換されROM1のアドレスバスに入力される。そして、ROM1のデータバスから出力された対数変換後の値をラッチ1に保持し、ALUに入力する。次に、明時の信号が外部補償回路に入力された時に、ROM1のデータバスのデータをラッチ2に保持し、ALUに入力する。するとALUの出力からは増幅率が得られ、これをラッチ3に保持し、DRAM1(Dynamic Random Access Memory)に記憶する。これを繰り返し、全ての出力増幅器の増幅率がDRAM1に記憶される。次に、データセクタ1、2を入力Aに切り替えて、DRAM1より1番目出力増幅器の増幅率を出力し、ラッチ1に保持し、ALUに入力する。そして、DRAM1より2番目出力増幅器の増幅率を出力し、ラッチ2に保持し、ALUに入力する。すると、ALUの出力からは、2番目出力増幅器の補償係数が得られる。これをラッチ3に保持して、DRAM1に記憶する。これを、全ての出力増幅器について行い、補償係数の記憶が完了する。

【0023】次に、画素信号を補償する場合は、データセクタ1を入力B、データセクタ2を入力Aの状態にし、次のような動作を行う。画素信号が外部補償回路に入力され、ラッチ1に保持され、ALUに入力される。その時、DRAM1より対応する補償係数が出力され、ラッチ2に保持され、ALUに入力される。これに

より、ALUからは、補償結果の対数変換値が得られ、これをROM2に入力することにより、補償結果を得ることができる以上は、対数変換手段14、減算手段16、補償係数記憶手段20、AD変換手段22で構成される補償回路を素子外部の補償回路とした場合について説明した。しかし、これらを固体撮像素子内に設けても良い。次に、その場合の実施例について説明する。

【0024】補償回路を固体撮像装置上に設ける場合、プロセスの違いによりROMなどの不揮発性メモリは作ることが難しい。そのため、DRAMのような揮発性メモリを用い、電源投入時に外部のROMよりデータを読み込めば良い。この場合の具体的構成を図10を用いて説明する。

【0025】本回路図では先ほど説明した図9と比較して、例えば電源投入時に、外部からDRAMへのデータの読み込むための工夫が必要になる。そのため、2個のデータセクタを新たに設ける。この構成において、まずDRAM2に外部より対数変換用のデータを書込む。データセクタ3の入力をAに切り替え外部のバスと接続する。次に、外部よりアドレスとデータを与えてやり、DRAM2に必要なデータを書込む。同様に、DRAM3に逆変換用のデータを書込む。そして、データセクタ3を入力B、データセクタ4を入力Aの状態にし、図9と同様な方法で補償係数を計算し、DRAM1に記憶する。画素信号を補償する場合も、図9と同様にすれば良い。この方式を採用することによりオンチップでの補償も可能となり、固体撮像素子のユーザーにとって、補償回路を意識することなく使用することができる。また、固体撮像素子の周辺回路を簡単にすることも可能になる。

【0026】次に、補償係数を計算するための明時と暗時の信号を短時間で得る実施例を図11を用いて説明する。図11には、固体撮像装置1の部分だけが示してあり、外部補償回路3aは省略してある。本実施例では、前に説明した図4よりも、ホトダイオード2を追加して、その分垂直CCDレジスタ4を長くしていることに特徴が有る。また、垂直CCDレジスタ4と一様電荷入力手段6が交差しないようにするため、水平方向にホトダイオード2が階段状に増えるレイアウトになっている。

【0027】次に、動作を図12を用いて計算する。本構成において、まずホトダイオード2から一斉に垂直CCDレジスタ4に信号が読み出される。この時、遮光膜7で覆われている部分のポテンシャル井戸には、全て暗時の信号が保持されている。次に、一様電荷入力手段6より一様電荷入力手段6に接しているポテンシャル井戸に、明時に相当する電荷を注入する。図11は、この時点の状態を表している。この状態から、図4の場合と同様な手順で電荷を転送し、出力増幅器8に1列目の明時の信号Dw1が入力されると、減算手段より増幅率が得

られる。図12においては、この時点をと1で表している。

【0028】本実施例では、このとき2行目の出力増幅器8には2行目の暗時の信号Dd2が入力されている。よって、列選択手段10を切り替えるだけで2行目の暗時の信号Dd2を外部補償回路に入力することができる。この時点の信号の保持状態を図13で示す。このように、本実施例では補償に必要な信号を、効率良く得ることができ、全ての増幅手段の補償係数を計算する時間を短くすることができる。

【0029】また、補償係数記憶手段20としてシフトレジスタを用いることも可能である。この場合の実施例を図14を用いて説明する。本実施例は、図4で示す実施例における補償係数記憶手段20をシフトレジスタ40に置き換えたことを特徴とする。ここで、3bは外部補償回路、40はシフトレジスタ、42はデータ切り替え手段であり、それ以外は図4と同じである。補償係数記憶手段20としては、通常はDRAM等のメモリを使ってもよいが、一行分の補償データの読み出し順序が一定であることを利用すると、シフトレジスタ40の適用が可能になる。この構成において、画素信号を補償する動作中データ切り替え手段42を切り替えて、シフトレジスタ40から出力した補償係数を再びシフトレジスタ40に入力する。シフトレジスタは、入力されたデータの順番でデータを出力する。よって、補償すべき出力増幅器の数だけシフトレジスタの段数を持てば、補償が可能になる。これにより、簡単な構成で補償係数記憶手段を構成できる。

【0030】本発明では、増幅率を任意の値に設定することも可能である。次に、その実施例を図15、図16を用いて説明する。本実施例は、利得設定手段28を設けていることに特徴がある。ここで、外部補償回路3c、利得設定手段28以外は図4と同じである。本実施例では、利得設定手段28にあるアナログ電圧を入力してやると、この電圧を基準にして列アンプ全体の電圧増幅率を設定することができる。

【0031】次に設定動作について説明する。図4の場合と同様に、各増幅手段の電圧増幅率を得るための動作を行う。まず、利得設定手段28から利得設定電圧Av(set)を入力する。この利得設定電圧Av(set)は、対数変換手段14で対数に変換され1番目のレジスタ24に保持される。この後、補償係数記憶手段20より2番目のレジスタ26に1列目の電圧増幅率の対数変換値logAv1が入力される。すると、減算手段16では $\log Av1 - \log Av(\text{set})$ 、つまり $\log(Av1 / Av(\text{set}))$ が計算される。これを、補償係数記憶手段20に1列目の増幅手段の電圧増幅率に対する補償係数logC1として記憶する。これを、増幅手段の数だけ行い、全ての列に対する補償係数の記憶を完了する。このように、利得設定手段28から入力した利得設定電圧Av(set)

10

20

30

40

50



により、任意の増幅率を得ることができる。

【0032】以上は、アナログ電圧による利得設定を説明したが、図17に示すようにデジタルによる利得設定手段30により利得設定値をデジタル信号で与えてもよい。

【0033】次に、増幅器のオフセットのばらつきも同時に除去する実施例について図18を用いて説明する。本実施例は、図4で示す実施例において、第二の減算手段50と第二の補償係数記憶手段52を追加していることを特徴とする。ここで、3dは外部補償回路であり、

第二の減算手段50と第二の補償係数記憶手段52以外は図4と同じである。

【0034】本実施例においては、まず暗時の画素信号を全ての増幅手段について、第二の補償係数記憶手段52に記憶する。例えば、AD変換手段22より1列目の暗時の画素信号Dd1が出力された場合、それを第二の補償係数記憶手段52に記憶する。次に、図7で示される画素信号を補償する動作時に、出力された画素信号から暗時の画素信号を差し引く。例えば、1列目の画素信号D1が増幅手段より出力された場合、画素信号はAD

変換手段22によりAD変換され、第二の減算手段50に入力される。その時、第二の補償係数記憶手段52より暗時の画素信号Dd1が読み出され、第二の減算手段50によって画素信号D1より暗時の画素信号Dd1が差し引かれる。この動作によって、増幅手段のオフセットのばらつきを補償することができる。

【0035】このように、本実施例では増幅手段のオフセットばらつきと、利得ばらつきの両方を補正することができる。本実施例は暗時の画素信号と補償係数を記憶する手段を別々としたが、これは1つの記憶手段を用いてもよい。その場合、構成を簡単にすることができる。また、本実施例では減算手段を2つ用いたが、減算手段は1つでも良い。この場合、減算手段を時系列データを切り替えて動作させる。その結果、構成を簡単にすることができる。

【0036】これまで説明した実施例は、最初に全ての出力増幅器に対する増幅率を求め、次に補償係数を計算していた。しかし、一つの増幅手段について一度に補償係数を求めることも可能である。

【0037】次にその実施例を図19を用いて説明する。本実施例では、外部補償回路3eで1番目に計算した増幅手段の増幅率を基準にして他の増幅手段の補償係数を計算し、それを直接補償係数記憶手段20に記憶することに特徴がある。ここで、3eは外部補償回路、72は3番目のレジスタ、74は4番目のレジスタ、76はデータ設定手段、78は第2の減算手段であり、その他は図4と同じである。

【0038】次に、動作の説明を行う。図4と同様な動作により、外部補償回路3eにある列の増幅手段の増幅率を得る。その値を、3番目のレジスタ72に入力す

る。次に、減算手段16より得られた他の列の増幅手段の増幅率の値を、4番目のレジスタ74に入力する。すると、2番目の減算手段78より、他の列の増幅手段の補償係数を得ることができ、これを補償係数記憶手段20に記憶する。これを、増幅手段の数だけ繰り返し、各列の補償係数を得る。画素信号を補償する場合は、データ設定手段76により、4番目のレジスタ74の内容をゼロに設定し、減算手段16の出力を4番目のレジスタ74に入力する。すると、減算手段16の出力と2番目の減算手段78の出力は同じになり、図4の場合と同様に補償ができる。これにより、一度、増幅率を補償係数記憶手段20に記憶する必要がなく、短い時間で補償係数を得ることが可能になる。

【0039】次に、撮像素子が高速動作する場合に対応する実施例を図20を用いて説明する。本実施例は、AD変換手段22と対数変換手段14の間にデータ保持手段32を挿入することによって、データをパイプライン的に処理するものである。ここで、外部補償回路3f、データ保持手段32以外は図4と同じである。

【0040】次に動作を図21を用いて説明する。例えば、AD変換手段22には、信号出力クロックに同期して画素信号D1が入力される。そして、AD変換手段22の出力を次の信号出力クロックの立ち上がり同期して、データ保持手段32に保持する。このため、対数変換手段14はAD変換手段22の出力の影響を受けず、信号出力クロック1個分でAD変換、対数変換など1つの処理のみを行うことが可能である。よって、本実施例では出力信号クロックが速くなった場合にも対応が可能となる。本実施例の説明では、データ保持手段を1つ設けた場合について説明したが、減算手段16、逆変換手段18の後ろにデータ保持手段を追加してもよい。これにより、減算、逆変換についても1クロックで1つの処理を実行すれば良いことになる。

【0041】次に、外部補償回路の高速化の別の実施例を図22を用いて説明する。図22には、外部補償回路3fの部分だけが示してあり、固体撮像装置1は省略してある。本実施例では、図4における外部補償回路3aを複数個配置し、データを時系列に入力し動作させるところに特徴がある。ここで、90はデータ保持手段、92はデータ選択手段である。この構成において、固体撮像装置1により出力された画素信号を3つのデータ保持手段90を用いて、時系列に各補償回路3aに入力する。そのため、1つの補償回路3aについて考えると、固体撮像装置1により出力された画素信号が2つおきに入力されるこれにより、本実施例では図4の場合の3倍の処理時間を得ることができ、固体撮像装置1により出力される画素信号の出力レートが速い場合も、処理が可能になる。以上は、補償回路3a全体を並列に動作させた場合の説明であるが、並列動作させる部分は補償回路3aの中で最も処理時間がかかる部分だけでも良い。そ

れにより、小さな回路規模で、固体撮像装置1の高速動作に対応できる。

【0042】以上の説明は、補償係数を記憶する動作を電源投入時に行う場合として説明した。しかし、この補償係数を記憶する動作をフレーム毎、あるいは定期的に行うと、素子温度の影響で電源投入時と出力増幅器の電圧増幅率が変化した場合も、対応することができる。

【0043】また、外部補償回路の出力においては実施例1と同様に逆変換しないで出力しても良い。

#### 【0044】実施例3

次に、本発明を2本の並列水平CCDを持ったFIT構成の撮像素子に適用した場合の実施例を図23を用いて説明する。ここで、3gは外部補償回路、10a、10bは出力増幅器、120a、120bは水平CCDレジスタ、122は信号選択手段、124はFIT構成の撮像素子、126は蓄積用のCCDレジスタである。この構成において、補償係数は次の様にして求める。例えば電源投入時に、蓄積用のCCDレジスタ126より水平CCDレジスタ120a、120bに電荷を転送しない状態で、一様電荷入力手段6より水平CCDレジスタ120a、120bに一様電荷を入力する。そして、水平CCDレジスタ120a、120bを動作させ、電荷を転送する。すると、例えば水平CCDレジスタ120a、120bが100段であるとする、最初から99段目までの信号が出力増幅器10a、10bに入力された時には、暗時の信号が2つの出力増幅器10a、10bから同時に出力され、100段目の信号が出力増幅器10a、10bに入力された時には、一様電荷入力手段6より入力された明時の信号が出力される。

【0045】この2つの出力増幅器10a、10bより出力される信号を信号選択手段122を用いて、まず出力増幅器10aの信号をAD変換手段22に入力する。そして、図4と同様な方法で出力増幅器10aの増幅率を計算し、補償係数記憶手段20に記憶する。次に信号選択手段122を切り替えて、出力増幅器10bの増幅率を計算し、補償係数記憶手段20に記憶する。そして、図4の場合と同様に、補償係数記憶手段20に記憶された各出力増幅器の増幅率より、補償係数を求める。

【0046】画素信号を補償するときは、出力増幅器10a、10bより同時に出力される画素信号を時系列にデータ選択手段122を用いて切り替え、AD変換手段22に入力する。そして図4の場合と同様に、補償係数記憶手段20より対応する補償係数を読み出し、補償を行う。これにより、ハイビジョン用撮像素子で一般的に採用されている2本の水平CCDで読み出す構成においても、出力増幅器のばらつきを補償することができる。

【0047】また、撮像素子の高速動作のため、図24に示されるように2つの出力増幅器10a、10b毎に補償回路を設ける構成も考えられる。ここで、130、132はデータ選択手段であり、また22bなどbを付

けている各手段は、出力増幅器10b用のものであることを示している。この構成において補償係数を記憶するときには、図4の場合と同様に、出力増幅器10aの増幅率を補償係数記憶手段20に記憶し、出力増幅器10bの増幅率を補償係数記憶手段20bに記憶する。そして、補償係数を計算するためデータ選択手段130を切り替え、補償係数記憶手段20bに記憶している出力増幅器10bの増幅率を2番目のレジスタ26に入力する。同時に、補償係数記憶手段20からは出力増幅器10aの増幅率を1番目のレジスタ24に入力し、減算手段16より出力増幅器10bの補償係数を得る。そして、データ選択手段132を切り替え、出力増幅器10bの補償係数を補償係数記憶手段20bに記憶する。画素信号を補償する場合には、各出力増幅器の補償係数は、対応する補償係数記憶手段に記憶してあるので、図4の場合と同様な動作で補償が可能である。これにより、各補償回路に入力される画素信号の信号レートが遅くなるので、撮像素子の高速動作にも対応可能である。

【0048】本実施例は、2つの水平CCDを持った構成について説明したが、3本以上の水平CCDを持った構成についても、適用可能である。

【0049】また、本実施例においても図15、図16、図17と同様に増幅率を任意に設定する構成、また図18で説明した出力増幅器のオフセットも同時に除去する構成、図19で説明した補償係数を一挙に求める構成、図20、図21で説明した補償回路の各手段をパイプライン的に動作させる構成をとることができる。

#### 【0050】実施例4

次に、本発明の他の実施例を図25を用いて説明する。本実施例は、図4で示す実施例を各画素に増幅手段を備えた固体撮像素子61に適用した場合である。ここで、62はデータ設定手段、64は増幅手段、66は行選択手段、68は1列分の画素群を表している。本実施例において、まず機械式シャッタなどで遮光した暗時の信号を全画素について順次出力し、その対数変換値を補償係数記憶手段20に記憶する。この場合、減算手段16により値が変化しないように、データ設定手段62からゼロのデータを1番目のレジスタ24に入力する。このゼロのデータ設定は、信号線を接地レベルに落すことで簡単に実現できる。次に全画素に一様光を当てた場合の信号、つまり明時の信号を出力し、2番目のレジスタ26に順次入力する。この時、補償係数記憶手段20から1番目のレジスタ24に各画素に対応する暗時の信号を入力する。すると、減算手段16からはその画素の増幅手段に対応する増幅率が得られ、それを補償係数記憶手段20に記憶する。この動作を全画素に対して行い、増幅率の記憶動作を完了する。次に、図6で示す実施例の場合と同様に補償係数を計算し、補償係数を補償係数記憶手段20に記憶する。画素信号を補償する場合は、固体撮像装置61から出力され1番目のレジスタ24に入力



された画素に対応する補償係数を補償係数記憶手段20から出力し補償を行う。これにより、各画素に増幅手段を備えた固体撮像素子においても増幅段の補償が可能になる。

【0051】また別の実施例として、各画素に一樣電荷入力手段70を設けている構成を図26を用いて説明する。本実施例において、補償係数記憶動作は、機械式シャッタ、または絞りなどで遮光した状態で行う。この状態で、まず一樣電荷入力手段70から信号を入力しない時の画素信号を1番目のレジスタ24に入力する。次に、一樣電荷入力手段70から一樣電荷を入力し、その場合の画素信号を2番目のレジスタ26に入力する。すると減算手段16の出力より、増幅率が得られ、これを補償係数記憶手段20に記憶する。この動作を全画素に対して行い、増幅率の記憶動作を完了する。次に、図6で示す実施例の場合と同様に補償係数を計算し、補償係数を補償係数記憶手段20に記憶する。画素信号を補償する動作は、図25の場合と同様である。これにより、図25の場合と比較して素子に一樣光を当てずに補償係数を得ることが出来る。

【0052】これら2つの実施例についても、図15、図16、図17と同様に増幅率を任意に設定する構成、また図18で説明した出力増幅器のオフセットも同時に除去する構成、図19で説明した補償係数を一挙に求める構成、図20、図21で説明した補償回路の各手段をパイプライン的に動作させる構成をとることができる。

#### 【0053】

【発明の効果】本発明の構成により、精度の良い増幅率のばらつき補償ができる。また、一樣電荷入力手段とデータを保持するための手段を設けた場合、補償係数を自己生成することが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の全体構成図。

【図2】動作を説明するタイミングチャート。

【図3】外部補償回路の具体的構成を示すブロック図。

【図4】補償係数を外部補償回路内で計算する実施例を示すブロック図。

【図5】図4の構成における動作を説明するタイミングチャート。

【図6】図4の構成における動作を説明するタイミングチャート。

【図7】図4の構成における動作を説明するタイミング

チャート。

【図8】一樣電荷入力手段の具体的構成例の説明図。

【図9】外部補償回路の具体的構成を示すブロック図。

【図10】補償回路をオンチップにした場合の具体的構成を示すブロック図。

【図11】各列の明時、暗時の信号を得るための実施例を示すブロック図。

【図12】図11を説明するためのタイミングチャート。

10 【図13】各列の明時、暗時の信号を得るための実施例を示すブロック図。

【図14】補償係数記憶手段にシフトレジスタを用いた場合の実施例を示すブロック図。

【図15】アナログ電圧設定手段を有する実施例を示すブロック図。

【図16】図15を説明するためのタイミングチャート。

【図17】デジタル電圧設定手段を有する実施例を示すブロック図。

20 【図18】第二の減算手段を有する実施例を示すブロック図。

【図19】補償係数を直接求める実施例を示すブロック図。

【図20】外部補償回路をパイプライン的に動作させる実施例を示すブロック図。

【図21】図20を説明するためのタイミングチャート。

【図22】補償回路を並列動作させる実施例を示すブロック図。

30 【図23】本発明をF I T方式に適用した場合を示すブロック図。

【図24】本発明をF I T方式に適用した場合を示すブロック図。

【図25】本発明の他の実施例を示すブロック図。

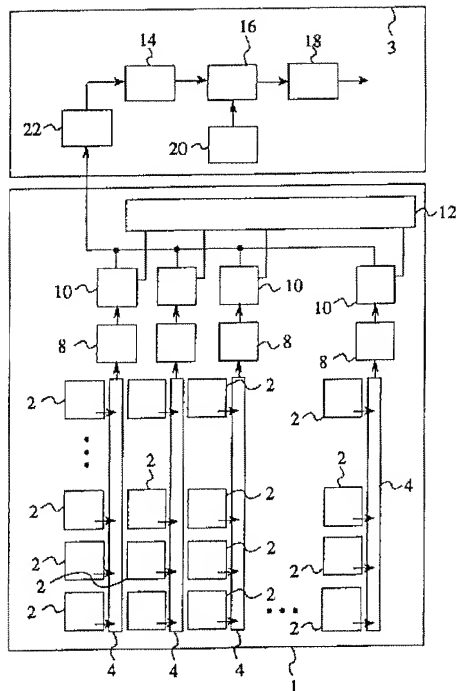
【図26】本発明の他の実施例を示すブロック図。

#### 【符号の説明】

1…固体撮像装置、2…ホットダイオード、3…外部補償回路、4…垂直CCDレジスタ、8…出力増幅器、10…列選択手段、12…水平走査回路、14…対数変換手段、16…減算手段、18…逆対数変換手段、20…補償係数記憶手段、22…A D変換手段。

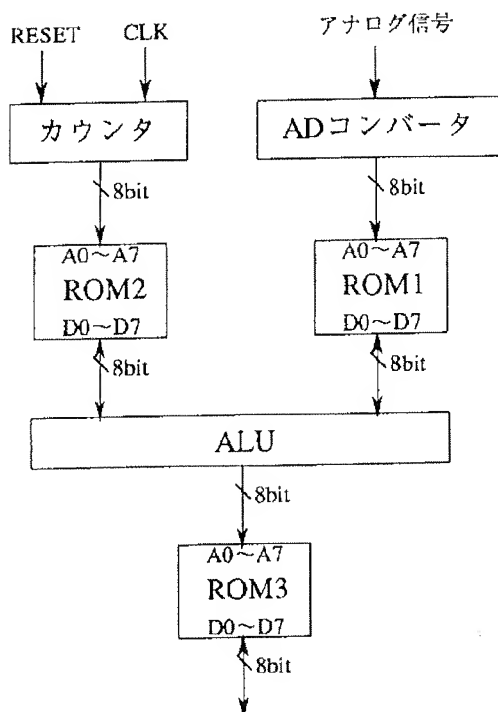
【図1】

図1



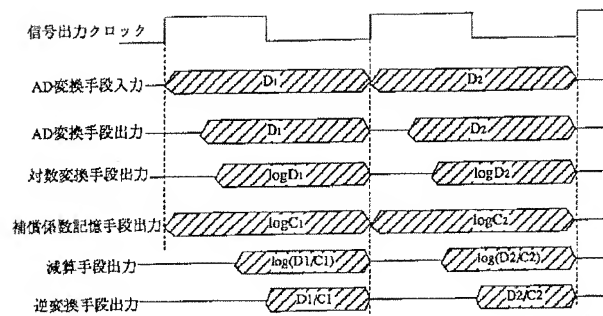
【図3】

図3



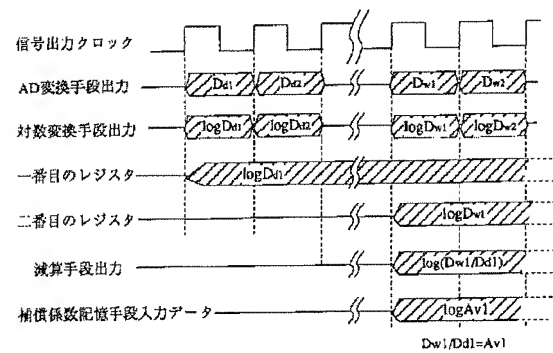
【図2】

図2



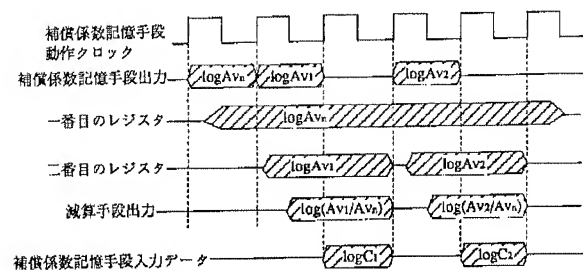
【図5】

図5



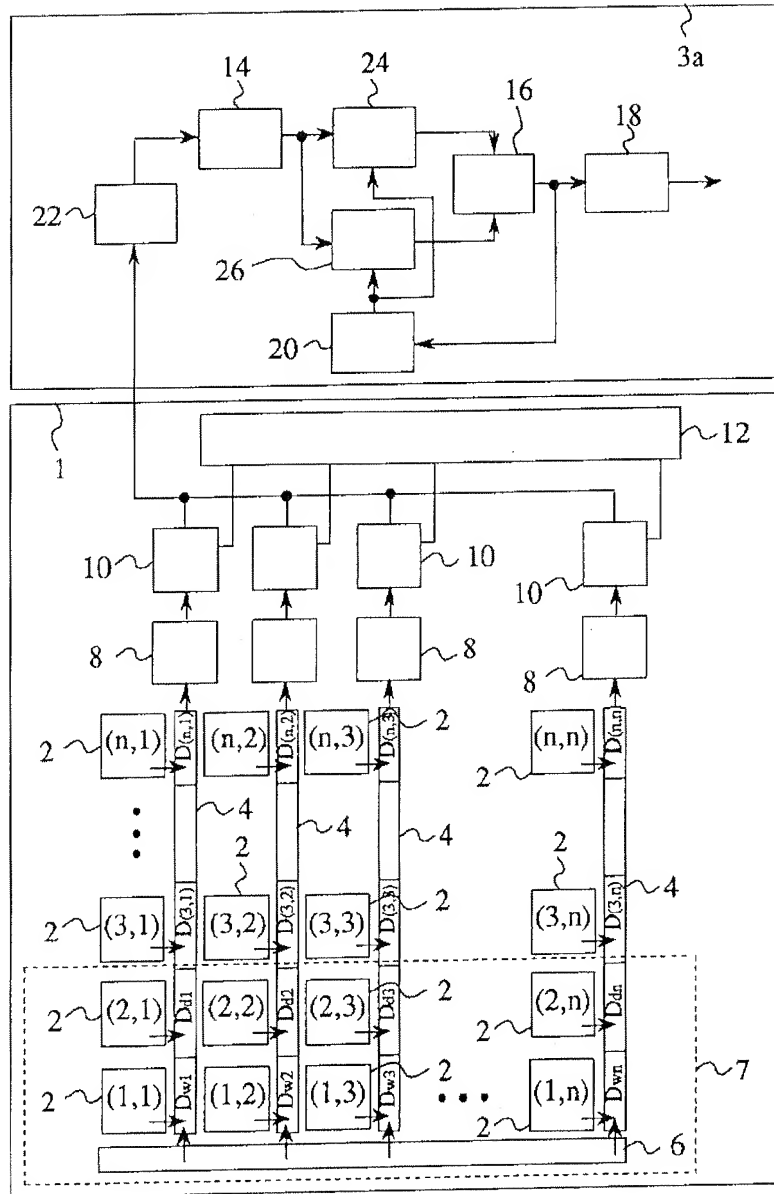
【図6】

図6



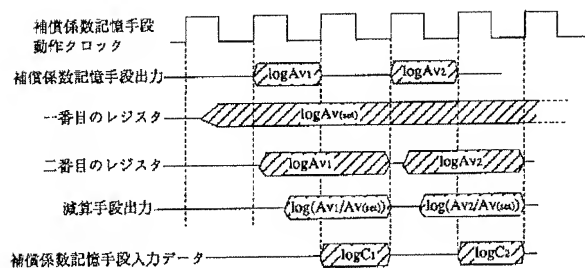
【図4】

図4



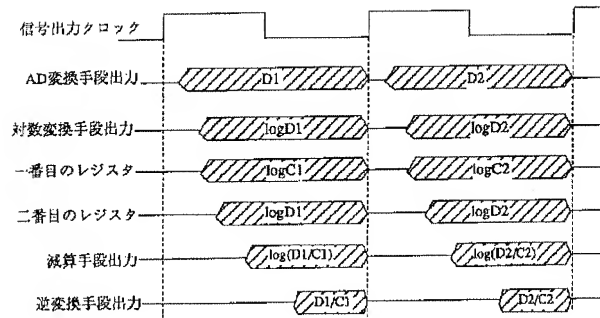
【図16】

図16



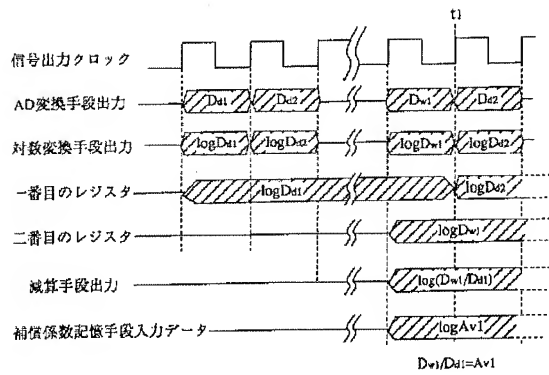
【図7】

図7



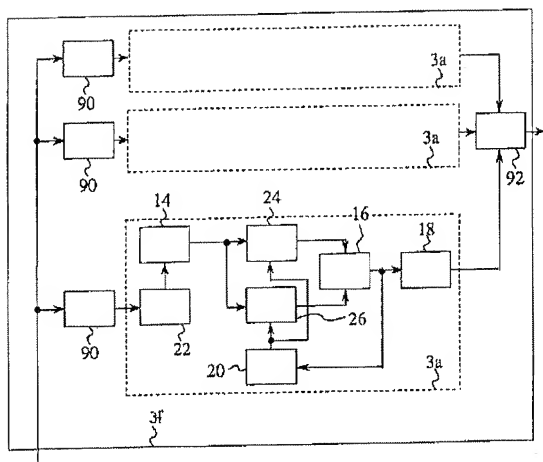
【図12】

図12



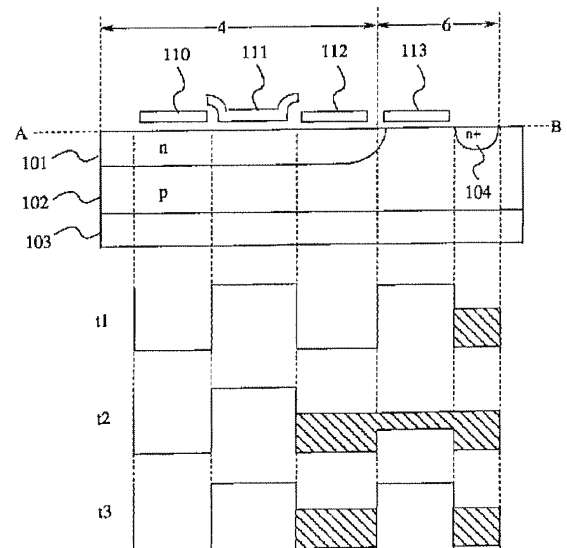
【図22】

図22



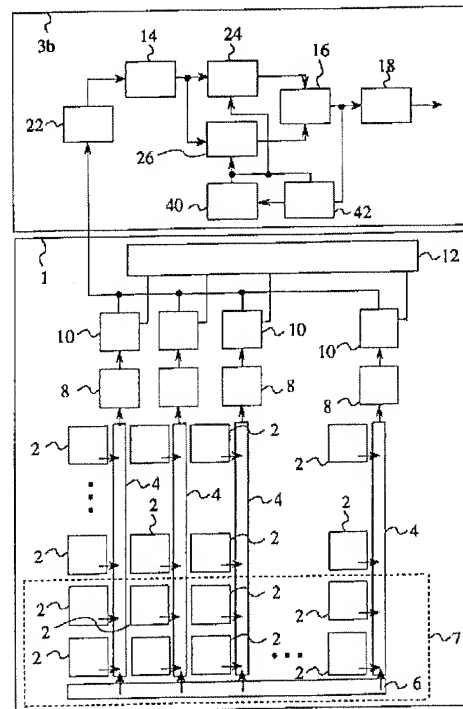
【図8】

図8



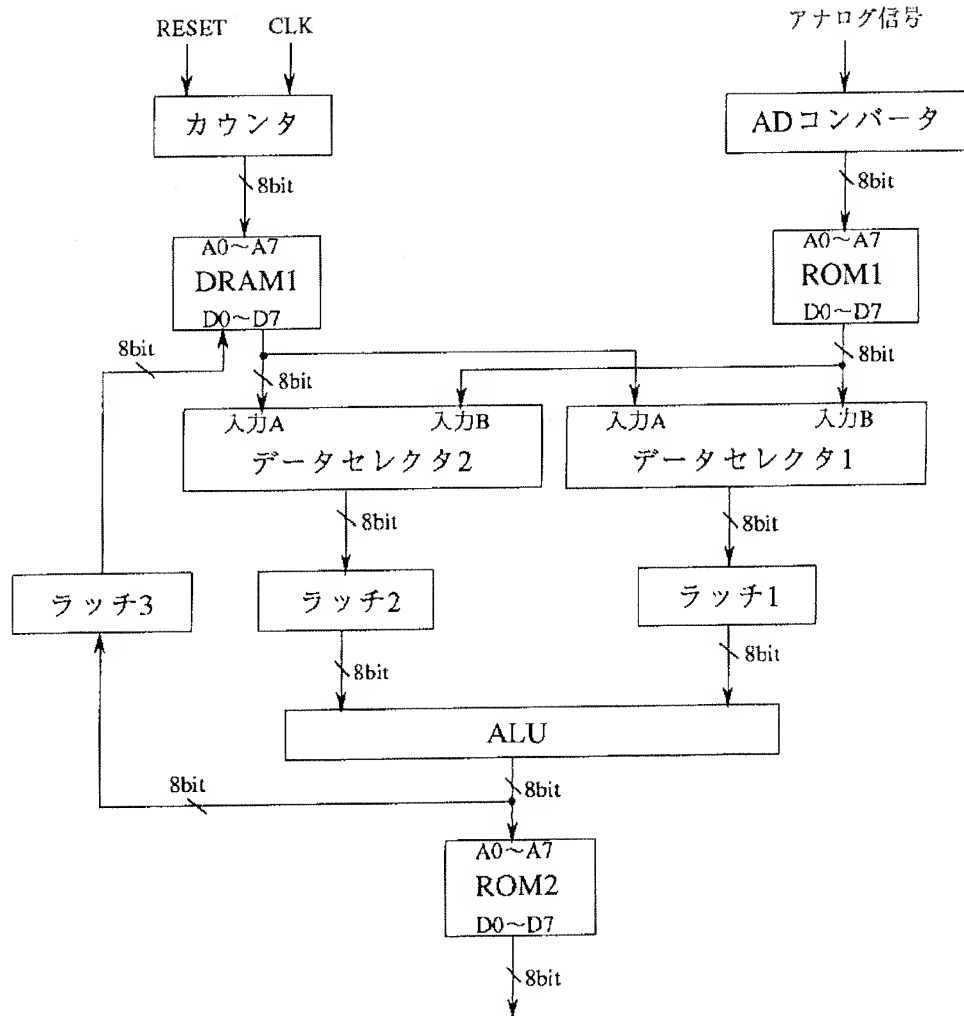
【図14】

図14



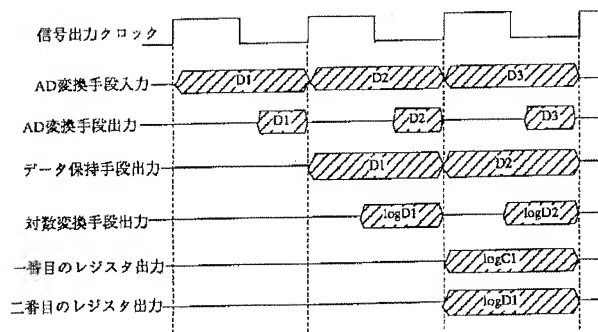
【図9】

図9



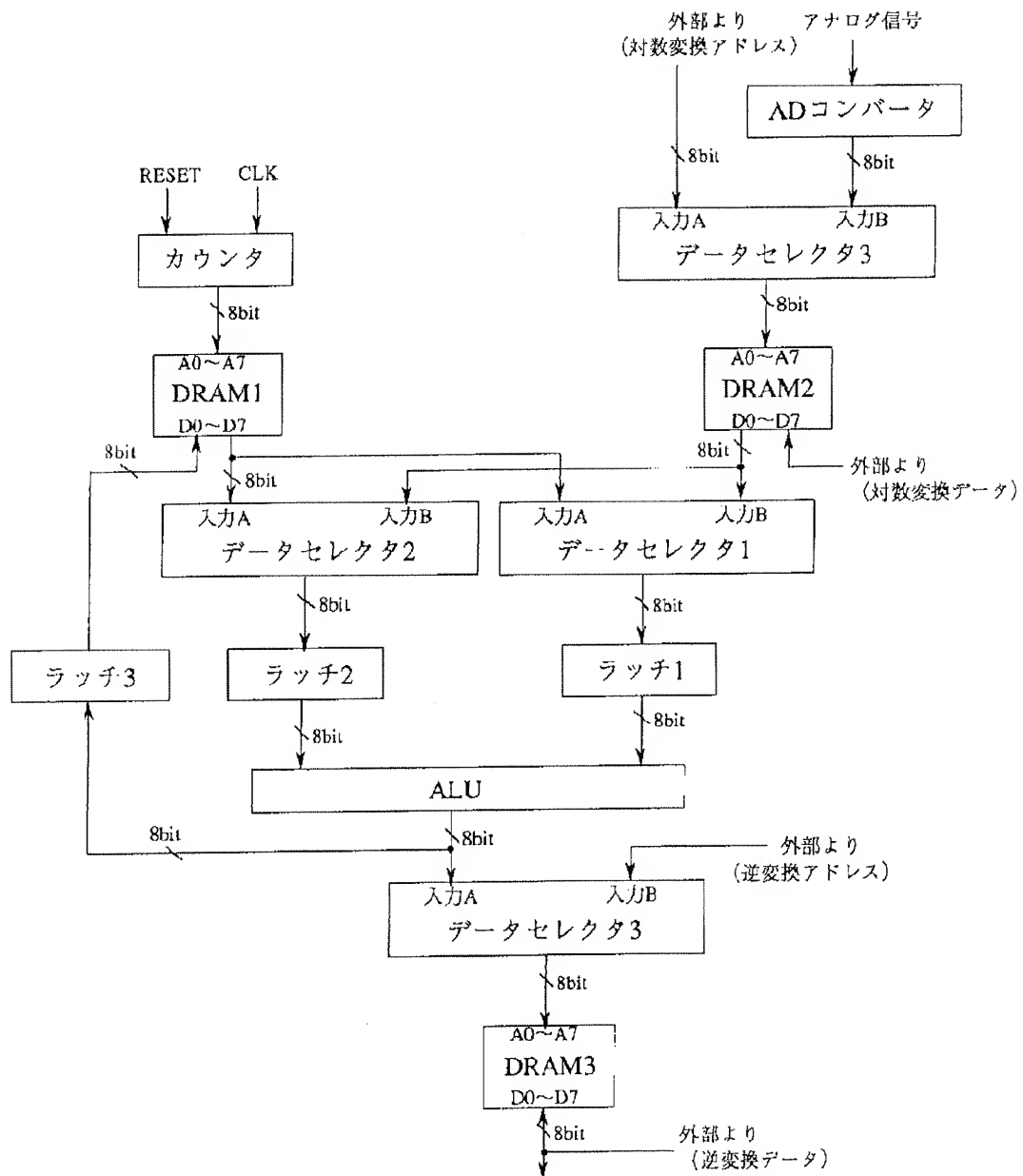
【図21】

図21



【図10】

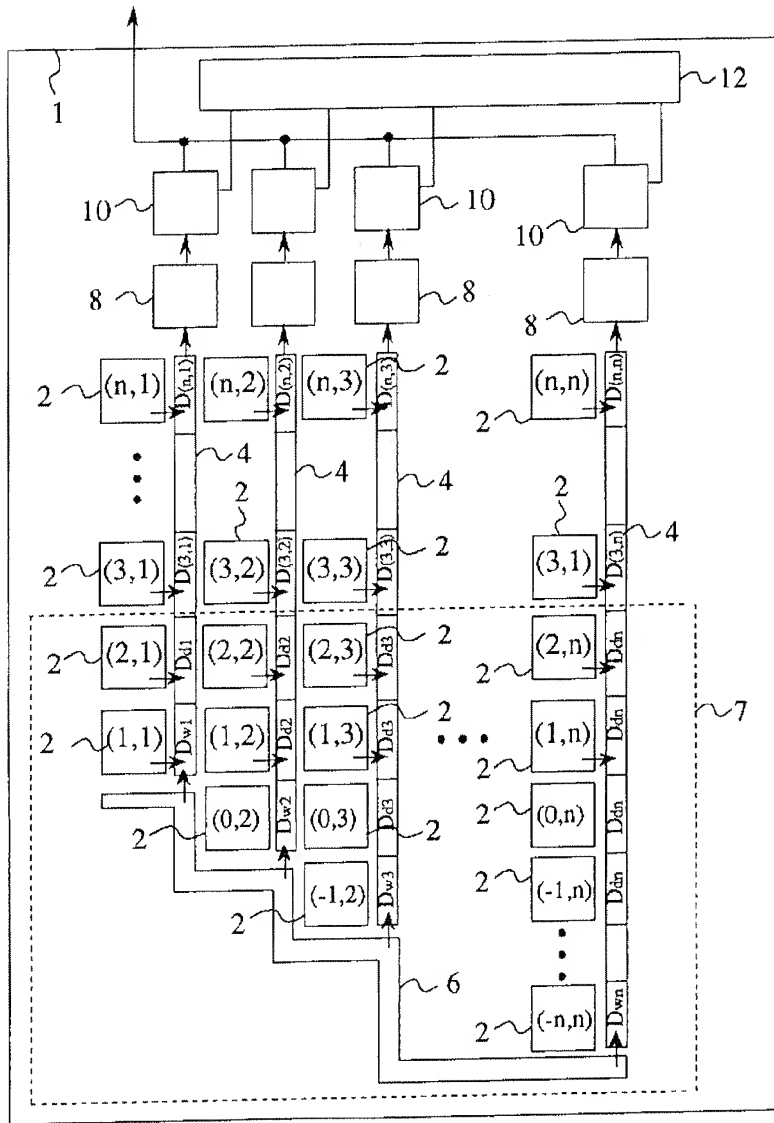
図10





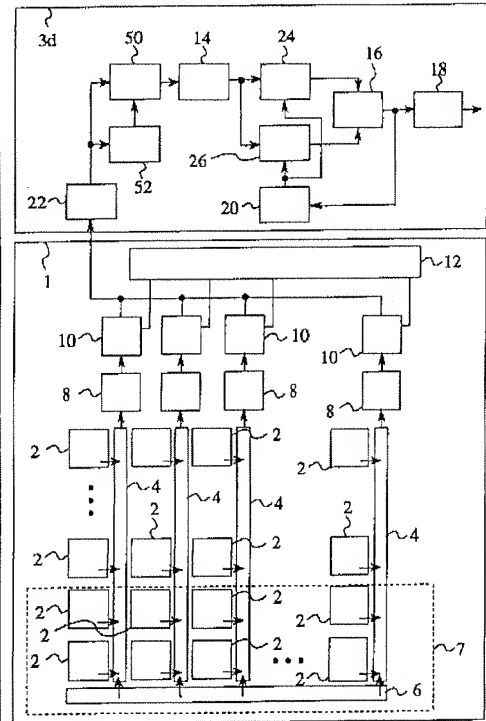
【図11】

図11



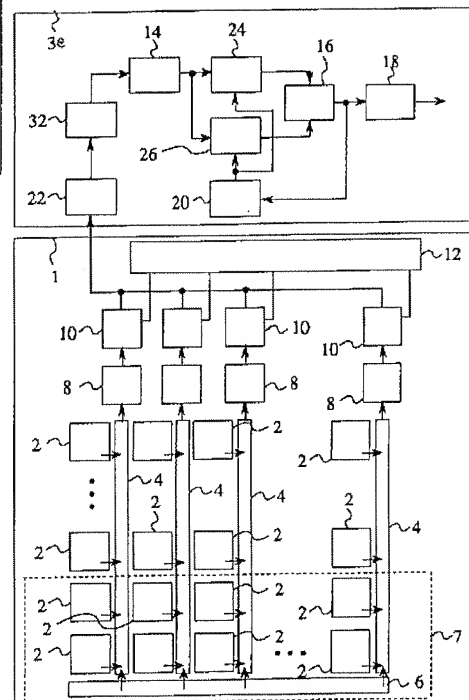
【図18】

図18



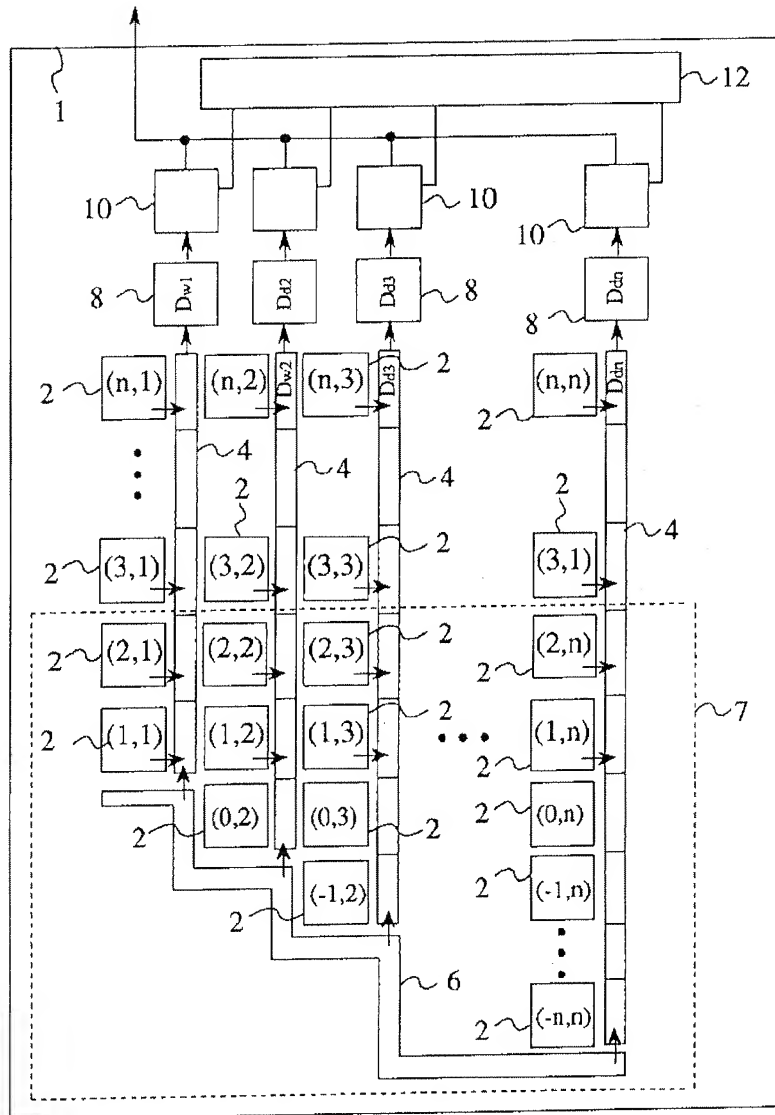
【図20】

図20



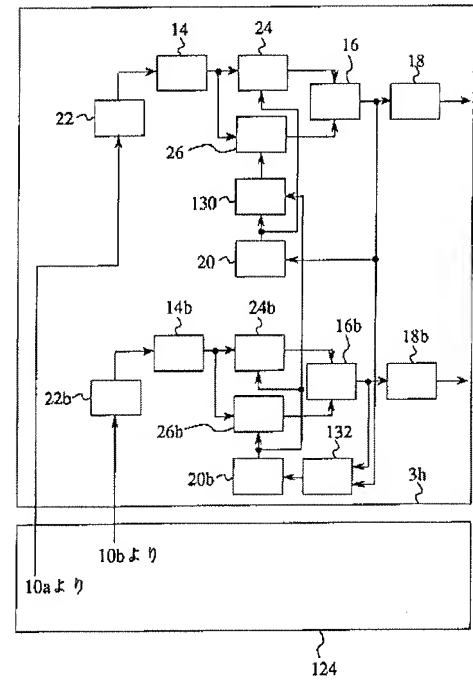
【図13】

図13



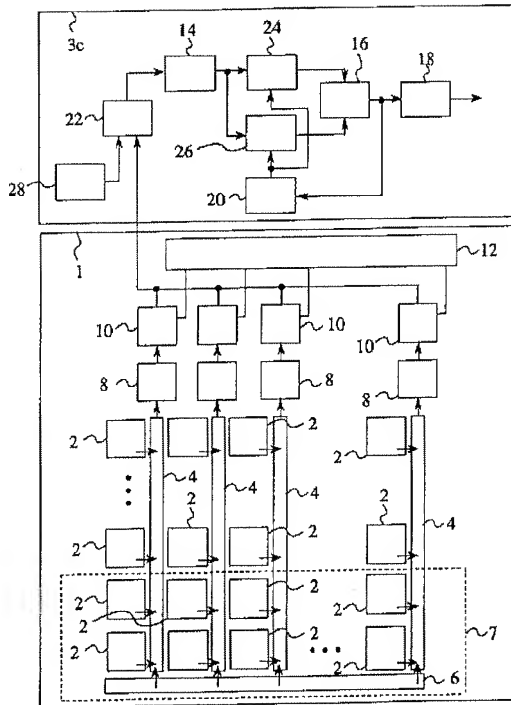
【図24】

図24



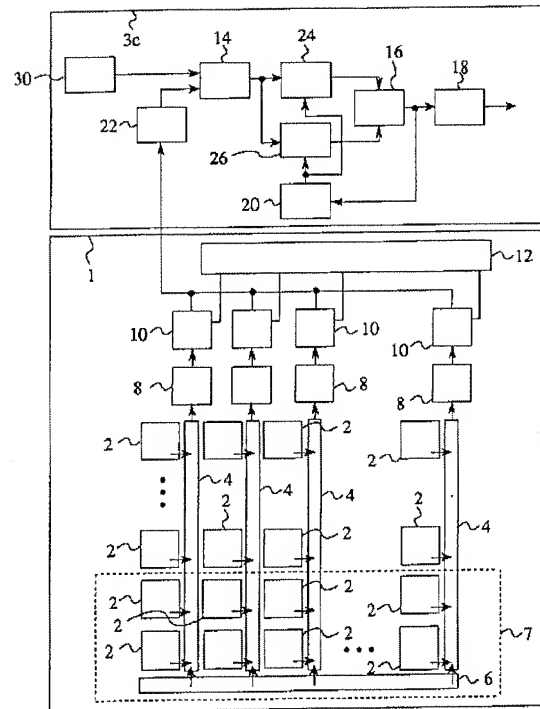
【図15】

図15



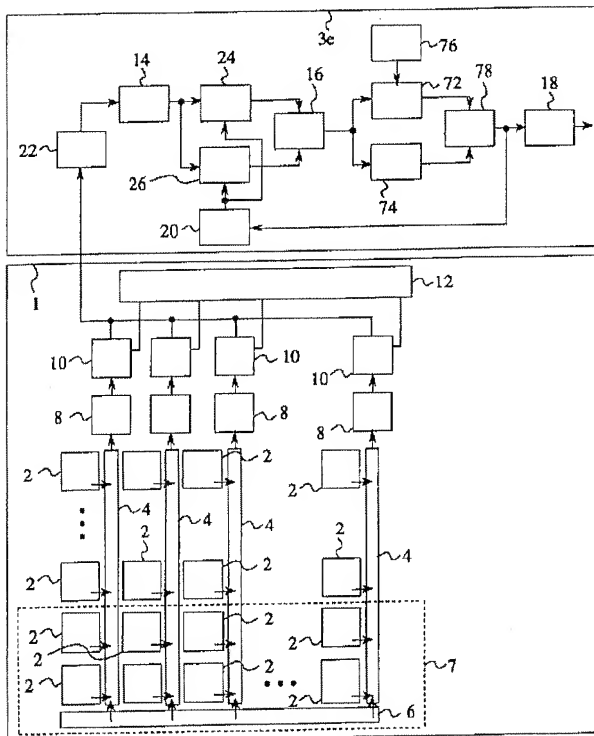
【図17】

図17



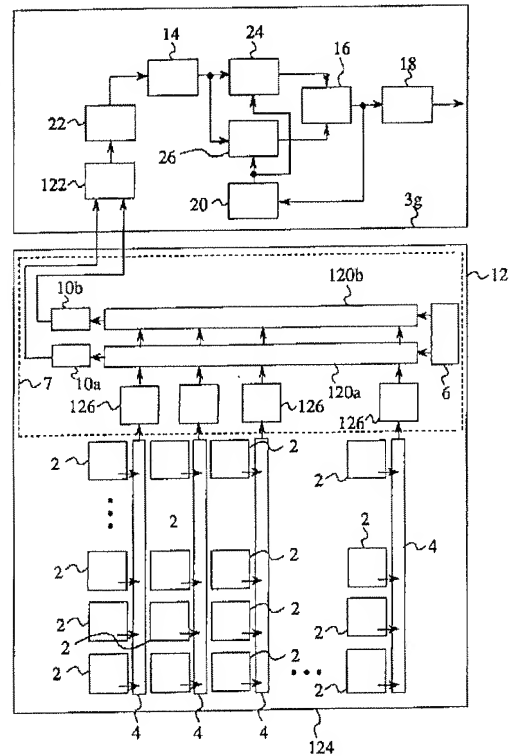
【図19】

図19



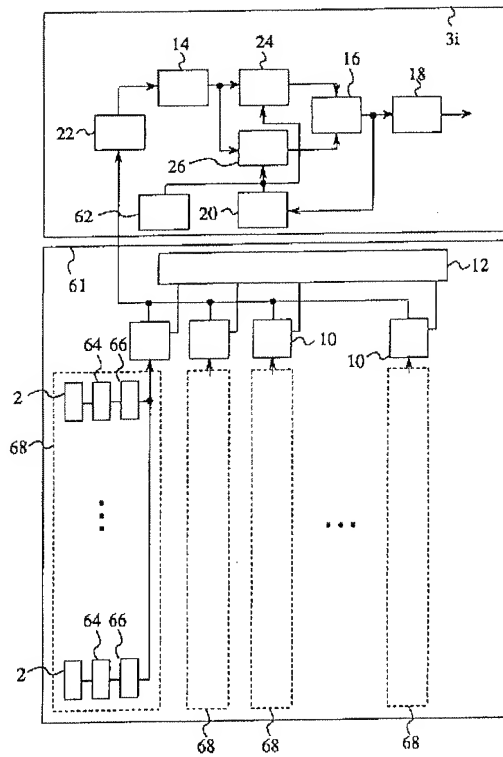
【図23】

図23



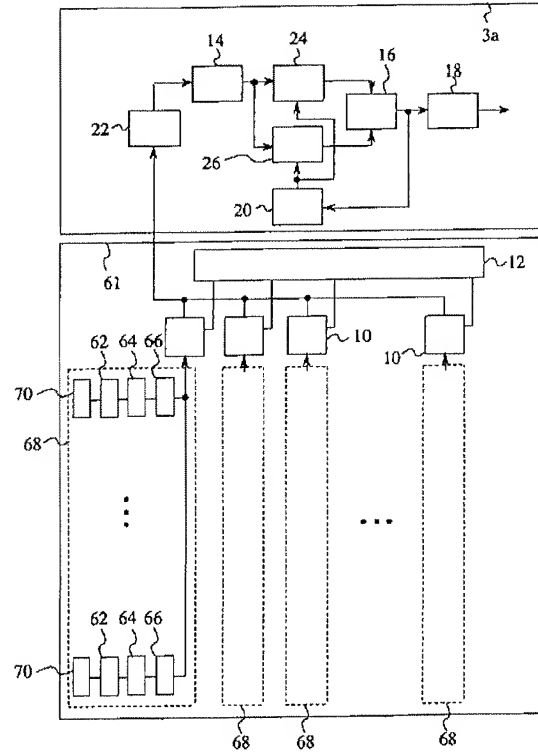
【図25】

図25



【図26】

図26



フロントページの続き

(72)発明者 木村 勝高  
 東京都国分寺市東恋ヶ窪1丁目280番地  
 株式会社日立製作所中央研究所内